

日 本 国 特 許 庁
JAPAN PATENT OFFICE

22.10.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

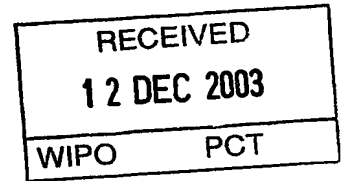
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 0 7 4 7 8
Application Number:

[ST. 10/C] : [J P 2 0 0 2 - 3 0 7 4 7 8]

出 願 人 三 菱 住 友 シ リ コ ン 株 式 有 限 公 司
Applicant(s):

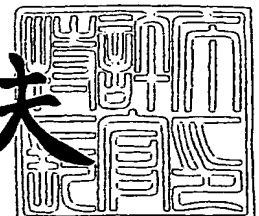


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 3 年 1 1 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 2002M026

【あて先】 特許庁長官 殿

【発明の名称】 貼り合わせ S O I 基板およびその製造方法ならびに半導体装置

【請求項の数】 15

【発明者】

 【住所又は居所】 東京都港区芝浦一丁目 2 番 1 号 三菱住友シリコン株式会社内

 【氏名】 足立 尚志

【発明者】

 【住所又は居所】 東京都港区芝浦一丁目 2 番 1 号 三菱住友シリコン株式会社内

 【氏名】 中前 正彦

【特許出願人】

 【識別番号】 302006854

 【氏名又は名称】 三菱住友シリコン株式会社

【代理人】

 【識別番号】 100094215

 【弁理士】

 【氏名又は名称】 安倍 逸郎

【手数料の表示】

 【予納台帳番号】 037833

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 貼り合わせSOI基板およびその製造方法ならびに半導体装置

【特許請求の範囲】

【請求項1】 デバイスが形成されるSOI層と、このSOI層を支持する支持基板用ウェーハとが、これらの間に絶縁層を介在して貼り合わされた貼り合わせSOI基板において、

上記絶縁層は空洞を含んでいる貼り合わせSOI基板。

【請求項2】 上記空洞は、上記貼り合わせSOI基板の平面内で複数の位置に形成されている請求項1に記載の貼り合わせSOI基板。

【請求項3】 上記絶縁層は、異なる高さの複数の空洞を有している請求項1または請求項2に記載の貼り合わせSOI基板。

【請求項4】 上記SOI層は平面内において厚さが異なる請求項1に記載の貼り合わせSOI基板。

【請求項5】 活性層用ウェーハの表面およびまたは支持基板用ウェーハの表面に凹部を形成する凹部形成工程と、

この凹部を形成した表面を貼り合わせ面として活性層用ウェーハと支持基板用ウェーハとを貼り合わせることにより空洞を形成する貼り合わせ工程と、

この貼り合わせウェーハのうち、上記活性層用ウェーハを減厚してSOI層を形成する減厚工程とを備えた貼り合わせSOI基板の製造方法。

【請求項6】 上記凹部形成工程では、上記活性層用ウェーハの表面およびまたは上記支持基板用ウェーハの平面内の複数の位置に凹部を形成する請求項5に記載の貼り合わせSOI基板の製造方法。

【請求項7】 上記凹部形成工程では、上記活性層用ウェーハの表面およびまたは支持基板用ウェーハの表面に、深さが異なる複数の凹部を形成する請求項5または請求項6に記載の貼り合わせSOI基板の製造方法。

【請求項8】 上記貼り合わせ工程では、上記活性層用ウェーハの貼り合わせ面およびまたは支持基板用ウェーハのそれには、絶縁膜が形成された請求項5～請求項7のいずれか1項に記載の貼り合わせSOI基板の製造方法。

【請求項9】 上記貼り合わせ工程は、真空雰囲気中または減圧条件下で行

われる請求項 5 に記載の貼り合わせ S O I 基板の製造方法。

【請求項 10】 上記減厚工程は、貼り合わせ後の活性層用ウェーハを研削、研磨する工程を含む請求項 5 に記載の貼り合わせ S O I 基板の製造方法。

【請求項 11】 上記活性層用ウェーハの所定深さ位置にイオン注入を行う工程を含み、

上記減厚工程は、上記貼り合わせ後の熱処理を経て、このイオン注入領域内から活性層用ウェーハの表面側を剥離する工程を含む請求項 5 に記載の貼り合わせ S O I 基板の製造方法。

【請求項 12】 平面内において厚さが異なる S O I 層が形成された貼り合わせ S O I 基板で、その S O I 層で最も薄い部分に C M O S ロジックによる機能ブロックが、その他の領域にメモリ機能ブロックおよびまたはアナログ機能ブロックが形成された半導体装置。

【請求項 13】 上記 S O I 層で最も薄い部分に、C M O S ロジックの基本単位ブロックが形成された請求項 12 に記載の半導体装置。

【請求項 14】 上記 S O I 層で最も薄い部分に、単位トランジスタが形成された請求項 13 に記載の半導体装置。

【請求項 15】 上記 S O I 層で最も薄い部分に、単位トランジスタのチャネルが形成された請求項 14 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は貼り合わせ S O I 基板およびその製造方法ならびにこの基板を用いた半導体装置、詳しくは活性層用ウェーハと支持基板用ウェーハとを絶縁層を介して貼り合わせた後、活性層用ウェーハを減厚し S O I 層とする技術に関する。

【0002】

【従来の技術】

シリコン基板上に構成される L S I の高集積化、多機能化の要請がきびしくなるにつれ、各素子間の分離が重要な課題となっている。従前の L S I は、厚さ 500～800 μ m のシリコンウェーハにあって、その表層（表面から十数 μ m の

部分)に電子回路素子が集積されている。

このような素子間の分離の問題を解決するため、SOI (Silicon On Insulator) 基板が知られている。SOI 基板では、デバイスが形成される SOI 層と、これを支持する支持基板用ウェーハとの間に、厚さ数 μm の埋め込みシリコン酸化膜が介在されている。

この SOI 基板にあつては、3次元構造による多機能化を含むデバイスの高集積化が容易となり、ソフトエラーの低減および高信頼性化が図れて、消費電力も抑えることができる。

【0003】

従来、SOI 基板の一種として、例えば特開 2001-144276 号公報に記載された「半導体基板」が知られている。この半導体基板は、1枚のシリコン基板の表面に複数のトレンチ(溝)を2次元的に配列した後、これを熱処理することで、基板の表層にてシリコン原子のマイグレーションを発生させ、各トレンチの開口部の内壁を連結してデバイス形成領域(SOI 層)とするとともに、各トレンチの奥部を連通させて平板状の空洞(絶縁層)を形成している。

【0004】

【発明が解決しようとする課題】

しかしながら、従来の半導体基板およびその製造方法によれば、その製造時に、半導体基板の表面に形成するトレンチ寸法の管理や、シリコン原子のマイグレーションにより平板状の空洞を形成するための熱処理条件等の管理が難しかった。その結果、設計した通りに SOI 構造を作製することは困難であった。

【0005】

そこで、発明者は、鋭意研究の結果、貼り合わせ SOI 基板に着目した。すなわち、貼り合わせ SOI 基板の製造時において、活性層用ウェーハの表面およびまたは支持基板用ウェーハの表面に凹部を形成し、両表面を貼り合わせ面として活性層用ウェーハと支持基板用ウェーハとを貼り合わせれば、内部に略設計された通りの空洞を有する貼り合わせ SOI 基板を製造することができることを知見し、この発明を完成させた。

【0006】

【発明の目的】

この発明は、寸法精度が高い空洞を絶縁層として埋め込むことができる貼り合わせSOI基板およびその製造方法を提供することを、その目的としている。

また、この発明は、同一チップ上にMOS素子とバイポーラ素子とを混在させることが容易な貼り合わせSOI基板およびその製造方法を提供することを、その目的としている。

【0007】**【課題を解決するための手段】**

請求項1に記載の発明は、デバイスが形成されるSOI層と、このSOI層を支持する支持基板用ウェーハとが、これらの間に絶縁層を介在して貼り合わされた貼り合わせSOI基板において、上記絶縁層は空洞を含んでいる貼り合わせSOI基板である。

SOI層用ウェーハ、支持基板用ウェーハとしては各種のウェーハ、例えば単結晶シリコンウェーハ、ガリウム・ヒ素ウェーハなどを採用することができる。

SOI層に形成されるデバイスの種類は限定されない。例えば、MOS型素子、バイポーラ素子、また、各種ダイオード、各種トランジスタ等、さらにメモリ、プロセッサ、さらにまた、各種ディジタル回路、各種アナログ回路などである。

SOI層の厚さは限定されない。例えば厚膜のSOI層では20～50 μm である。また、薄膜のSOI層では0.01～20 μm である。

【0008】

空洞は、SOI層の平面内の略全域に形成してもよい。または、この平面内に部分的に形成してもよい。その空洞の形状は、例えば平面視して円形、楕円形、三角形または四角形以上の多角形でもよい。

空洞の高さ（基板厚さ方向の長さ）は0.01～50 μm 、好ましくは0.01～5 μm である。

【0009】

請求項2に記載の発明は、上記空洞は、上記貼り合わせSOI基板の平面内で複数の位置に形成されている請求項1に記載の貼り合わせSOI基板である。

所望のデバイス、回路などに対応して形成することができる。

【0010】

請求項3に記載の発明は、上記絶縁層は、異なる高さの複数の空洞を有している請求項1または請求項2に記載の貼り合わせSOI基板である。

この絶縁膜はSOI層の貼り合わせ面に形成してもよいし、支持基板用ウェーハの貼り合わせ面に形成してもよい。さらには、SOI層と支持基板用ウェーハとの両方の貼り合わせ面に形成してもよい。絶縁膜が形成されるのは、SOI層およびまたは支持基板用ウェーハの貼り合わせ面だけに限定されない。例えば、SOI層およびまたは支持基板用ウェーハの全面に形成してもよい。

【0011】

請求項4に記載の発明は、上記SOI層は平面内において厚さが異なる請求項1に記載の貼り合わせSOI基板である。

厚さの異なる領域には、それぞれ適した素子を形成することができる。

【0012】

請求項5に記載の発明は、活性層用ウェーハの表面およびまたは支持基板用ウェーハの表面に凹部を形成する凹部形成工程と、この凹部を形成した表面を貼り合わせ面として活性層用ウェーハと支持基板用ウェーハとを貼り合わせることににより空洞を形成する貼り合わせ工程と、この貼り合わせウェーハのうち、上記活性層用ウェーハを減厚してSOI層を形成する減厚工程とを備えた貼り合わせSOI基板の製造方法である。

凹部が形成されるのは、活性層用ウェーハの表面でもよい。また、支持基板用ウェーハの表面でもよい。さらには、活性層用ウェーハの表面と支持基板用ウェーハの表面との両方でもよい。

凹部形成には、各種の手法、例えばフォトリソグラフィなどを用いる。凹部の深さ、広さ、形状も任意に設定することができる。例えば、凹部が形成されるウェーハの表面上に、凹部と同形状のパターン孔を有するパターンニングマスクを配置し、このパターン孔を介して、所定のエッチング法により、ウェーハ表面に凹部をエッチングすることができる。エッチング法は限定されない。例えばフッ酸と硝酸とを混合した混酸を使用した酸性エッチング、NaOHまたはKOHなど

を使用したアルカリエッチングを採用することができる。それ以外にも、各種のドライエッチングを採用することができる。

また、この凹部は、エッチング以外の方法でも形成することが可能である。すなわち、例えば各種の薄膜形成法により、凹部以外のウェーハ表面の部分を隆起させ、相対的に凹部を形成する方法である。具体的には、フォトリソグラフィにより、凹部が形成されるウェーハの表面上に、この凹部の形成領域を除く部分のパターン孔を有するマスクを形成する。その後、このパターン孔を介して、所定の薄膜形成法によりウェーハ表面に所定の薄膜を形成する。次に、マスクを除去することで、ウェーハ表面上に設定寸法の凹部を形成する方法である。

薄膜形成法としては、例えばスパッタリング法、真空蒸着法、CVD法、エピタキシャル成長法などがある。

【0013】

活性層用ウェーハと支持基板用ウェーハとの貼り合わせは、例えば常温により両ウェーハを重ね合わせた後、貼り合わせ熱処理することで行われる。この貼り合わせ熱処理の加熱温度は800℃以上、例えば1100℃である。貼り合わせ熱処理の時間は、例えば2時間である。使用する熱酸化炉内の雰囲気ガスには酸素などが用いられる。

【0014】

活性層用ウェーハの減厚方法としては、例えば熱酸化された表面側から活性層用ウェーハの中に水素イオンなどの軽元素を注入し、その後、活性層用ウェーハと支持基板用ウェーハとを貼り合わせて熱処理を施す。このとき、水素イオンを注入した部分から活性層用ウェーハの不要部分を剥離するスマートカット法を採用することができる。

これら以外にも、例えば表面研削、表面研磨による減厚法を採用することができる。また、その他の減厚法としてエッチストップ法なども採用することができる。

すなわち、貼り合わせウェーハの活性層用ウェーハ側を表面研削し、その後、この表面研削面を表面研磨してSOI層とする方法である。活性層用ウェーハを表面研削する際には、例えば表面研削砥石による研削が行われる。表面研磨とし

ては、例えば研磨装置の研磨ヘッドに表面研削された貼り合わせウェーハを装着し、研磨液中に遊離砥粒を含む研磨剤（スラリー）を供給しながら、活性層用ウェーハの研削面を研磨定盤上に貼着された研磨布に押し付けて研磨する。表面研磨だけで活性層用ウェーハを減厚してもよい。この場合には研磨条件の調整が必要である。

研磨装置としては、枚葉式の研磨でも、バッチ式の研磨装置でもよい。さらに、ワックスタイプの片面研磨装置でも、ワックスレスタイプの装置でもよい。

研磨布としては、例えばポリエステルフェルトにポリウレタンを含浸させた多孔性の不織布タイプ、発泡したウレタンのブロックをスライスした発泡性ウレタンタイプ、そのほかポリエステルフェルトにポリウレタンが含浸された基材の表面に発泡ポリウレタンを積層し、このポリウレタンの表層部分を除去して発泡層に開口部を形成したスエードタイプなどを採用することができる。

【0015】

請求項6に記載の発明は、上記凹部形成工程では、上記活性層用ウェーハの表面およびまたは上記支持基板用ウェーハの平面内の複数の位置に凹部を形成する請求項5に記載の貼り合わせSOI基板の製造方法である。

所望の半導体装置に対応して設計することができる。

【0016】

請求項7に記載の発明は、上記凹部形成工程では、上記活性層用ウェーハの表面およびまたは支持基板用ウェーハの表面に、深さが異なる複数の凹部を形成する請求項5または請求項6に記載の貼り合わせSOI基板の製造方法である。

深さを異ならせるには、例えば複数回のフォトリソによるエッチングなどの手法を用いることができる。

【0017】

請求項8に記載の発明は、上記貼り合わせ工程では、上記活性層用ウェーハの貼り合わせ面およびまたは支持基板用ウェーハのそれには、絶縁膜が形成された請求項5～請求項7のいずれか1項に記載の貼り合わせSOI基板の製造方法である。

絶縁膜の形成は、例えば熱酸化などで行う。

【0018】

請求項 9 に記載の発明は、上記貼り合わせ工程は、真空雰囲気中または減圧条件下で行われる請求項 5 に記載の貼り合わせ S O I 基板の製造方法である。

例えば、10 t o r r、室温下で行う。貼り合わせは公知の治具を使用する。

【0019】

請求項 10 に記載の発明は、上記減厚工程は、貼り合わせ後の活性層用ウェーハを研削、研磨する工程を含む請求項 5 に記載の貼り合わせ S O I 基板の製造方法である。

【0020】

請求項 11 に記載の発明は、上記活性層用ウェーハの所定深さ位置にイオン注入を行う工程を含み、上記減厚工程は、上記貼り合わせ後の熱処理を経て、このイオン注入領域内から活性層用ウェーハの表面側を剥離する工程を含む請求項 5 に記載の貼り合わせ S O I 基板の製造方法である。

【0021】

請求項 12 に記載の発明は、平面内において厚さが異なる S O I 層が形成された貼り合わせ S O I 基板で、その S O I 層で最も薄い部分に C M O S ロジックによる機能ブロックが、その他の領域にメモリ機能ブロックおよびまたはアナログ機能ブロックが形成された半導体装置である。

【0022】

請求項 13 に記載の発明は、上記 S O I 層で最も薄い部分に、C M O S ロジックの基本単位ブロックが形成された請求項 12 に記載の半導体装置である。

【0023】

請求項 14 に記載の発明は、上記 S O I 層で最も薄い部分に、単位トランジスタが形成された請求項 13 に記載の半導体装置である。

【0024】

請求項 15 に記載の発明は、上記 S O I 層で最も薄い部分に、単位トランジスタのチャネルが形成された請求項 14 に記載の半導体装置である。

【0025】**【作用】**

請求項 1～請求項 4 に記載の貼り合わせ S O I 基板によれば、絶縁層として空洞を有する S O I 基板を容易に得ることができる。よって、空洞の形状、配置などでの自由度が増すこととなる。さらに、所望のデバイス、回路などの設計が容易となる。例えば M O S 型素子とバイポーラ素子とを混載した半導体装置を容易に作製することができる。

【0026】

請求項 5～請求項 11 に記載の貼り合わせ S O I 基板の製造方法にあつては、活性層用ウェーハの表面およびまたは支持基板用ウェーハの貼り合わせ面にまず凹部を形成し、その後、これらを貼り合わせる。これにより、寸法精度が高い空洞を絶縁層として埋め込み、形成することができる。空洞を基板平面内の複数位置に同時的に形成することができ、しかもこれら空洞による S O I 層の厚さを任意に設定することが容易である。よって、例えば同一チップ上に M O S 型素子とバイポーラ素子とを混載した半導体装置を容易に作製することができる。

【0027】

請求項 12～請求項 15 に記載の半導体装置にあつては、S O I 層の厚さが最も薄い部分に C M O S ロジックの機能ブロックを、その他の領域にメモリ機能ブロックまたはアナログ機能ブロックを形成したため、それらの素子の機能を効率良く発揮することができる。また、この薄い部分に C M O S ロジックの基本単位ブロックを配設する場合、さらに、この部分に単位トランジスタを、特に単位トランジスタのチャネルを形成する場合、各素子の特性を最大限に有効に機能させた混載型の半導体装置を得ることができる。

【0028】

【発明の実施の形態】

以下、この発明の実施例を図面を参照して説明する。

図 1～図 3 を参照して、この発明の第 1 の実施例に係る貼り合わせ S O I 基板およびその製造方法を説明する。

この実施例に係る貼り合わせ S O I 基板の特徴は、活性層 10 A と支持基板用ウェーハ 20 との貼り合わせ界面より活性層用ウェーハ 10 側に、高さが低い空洞 c と、これより高い空洞 d が、それぞれ所定個数ずつ存在している点である。

この高さが異なる結果、この部分ではSOI層（活性層）10Aの厚さも異なっている。図3中、空洞dの上方には厚さ t_1 のSOI層10Aが、空洞cの上方には厚さ t_2 のSOI層10Aが、それぞれ形成されている。ただし、 $t_1 < t_2$ である。

そして、この薄いシリコン層部分にはCMOS100が、厚いシリコン層部分にはバイポーラトランジスタ110がそれぞれ形成されることとなる。

【0029】

以下、この貼り合わせSOI基板の製造方法を説明する。

まず、公知方法で作製した活性層用シリコンウェーハ10の裏面に（鏡面の表面から所定深さ位置に）所定条件で水素イオンをイオン注入する（図1（a））。10aは水素イオン注入領域を示す。

次いで、この活性層用シリコンウェーハ10の表面に、反応性イオンエッチング装置を用いて、開口面積 $1\text{ mm}^2 \times$ 深さ $0.5\text{ }\mu\text{ m}$ の凹部10d…と、開口面積 $1\text{ mm}^2 \times$ 深さ $1.0\text{ }\mu\text{ m}$ の凹部10e…とをイオンエッチングにより形成する（図1（b））。深さを異ならせるためには、例えばエッチングでのマスクを複数種類用意して複数段階に分けてエッチングを行う。

その後、酸素ガス雰囲気での 900°C の熱酸化処理により、活性層用ウェーハ10の凹部10d、10eを含む露出面の全域に、シリコン酸化膜10fを形成する（図1（c））。

続いて、活性層用シリコンウェーハ10の表面（凹部を有する面）と、あらかじめ準備された支持基板用ウェーハ20（同一プロセスで作製したシリコンウェーハ）の鏡面とを貼り合わせ面（重ね合わせ面）とし、例えば真空装置内で公知の治具を用いて両ウェーハ10、20を貼り合わせる（図2（a））。このとき、活性層用ウェーハ10と支持基板用ウェーハ20との間には、開口面積 $1\text{ mm}^2 \times$ 高さ $0.5\text{ }\mu\text{ m}$ の所定個数の空洞cと、開口面積 $1\text{ mm}^2 \times$ 高さ $1.0\text{ }\mu\text{ m}$ の所定個数の空洞dと、シリコン酸化膜10fの貼り合わせ面側である埋め込み酸化膜30aとからなる絶縁層が埋設されることとなる。

その後、貼り合わせウェーハ30に対して 500°C 、1時間の低温熱処理を施し、この活性層用ウェーハ10内に水素バブル領域10aを形成する。

引き続いて、この貼り合わせウェーハ 30 に対して所定の貼り合わせ熱処理（1100℃、2時間）も行う。この結果、水素バルブ領域 10a から、活性層用ウェーハ 10 の不要部分が剥離される（図 2（b））。また、この貼り合わせ熱処理により、その貼り合わせ強度が高められる。

そして、この活性層用ウェーハ 10 の剥離面を、CMP 処理または水素ベーク処理することにより、貼り合わせ SOI 基板が作製される（図 2（c））。研磨により活性層ウェーハ表面が鏡面化される。なお、30a は埋め込み酸化膜として機能する。

【0030】

図 3 にはこのようにして作製した貼り合わせ SOI 基板を示す。この SOI 基板にあっては高さの異なる空洞 c，d が貼り合わせ面に形成される結果、これら空洞 c，d の直上の SOI 層 10A の厚さはそれぞれ異なる。高い空洞 d には薄い（厚さ t1）SOI 層 10A が、低い空洞 c の直上には厚い（厚さ t2）SOI 層 10A がそれぞれ形成されることとなる。

そして、この SOI 基板を用いて半導体装置を作製する場合、SOI 層 10A のうち、高さが高い空洞 d の上の対応領域には、上述のように、CMOS ロジックを形成する。CMOS ロジックの形成領域は、できるだけ寄生容量が小さくなる薄膜の方が好ましいからである。また、SOI 層 10A のうち、低い空洞 c との対応領域（厚さの厚い領域）には、メモリまたは各種のアナログ回路（バイポーラ素子）を形成する。

その他、SOI 層 10A の空洞 d との対応領域には、例えば CMOS ロジックの基本回路、CMOS ロジックを除く別の単位トランジスタ、単位トランジスタのチャネル、各種の完全空乏型 SOI デバイスなどを形成してもよい。

このように、異なる高さの複数の空洞 c，d を形成したので、同一チップ上に異なる構造の素子を混載することができる。

【0031】

次に、図 4～図 6 にはこの発明の第 2 の実施例をしめす。この貼り合わせ SOI 基板の製造方法の特徴は、図 4 に示すように、水素イオン注入の前工程で、まず、活性層用シリコンウェーハ 10 の表面（鏡面）にシリコンゲルマニウム薄膜

10bをエピタキシャル成長させ、次いで、このシリコンゲルマニウム薄膜10bの表面にシリコン薄膜10cを、連続してエピタキシャル成長させることにある。

なお、この活性層用シリコンウェーハ10は、CZ法により引き上げられ、スライス、面取り、ラップ、エッチング、鏡面研磨が施されたものを用いる。

引き続き、このシリコンゲルマニウム (SiGe) 薄膜10bと活性層用ウェーハ10との境界部分あるいはSiGe膜内に、もしくはSiGe膜直下のシリコン基板内に水素イオン濃度がピークとなるように水素イオンを注入する。10aは水素イオン注入部分を示している。このようにして、貼り合わせ用の活性層用ウェーハ10が作製される。

【0032】

一方、支持基板用シリコンウェーハ20については、図5に示すように、フォトリソグラフィなどにより、その貼り合わせ面（鏡面）に所定の凹部20a, 20bが形成される。これらの凹部20a, 20bの深さは異ならせている。これは例えばフォトリソマスクを用いたエッチングの条件を凹部20a, 20bにより異ならせることで行う。

そして、凹部形成後、熱酸化によりこの支持基板用ウェーハ20の外表面は酸化膜20cにより被覆される。なお、この支持基板用ウェーハ20は上記活性層用シリコンウェーハ10と同一の過程を経て形成されている。

【0033】

そして、図6に示すように、これらの活性層用ウェーハ10および支持基板用ウェーハ20を貼り合わせることににより、貼り合わせウェーハ30を作製する。

すなわち、所定の真空条件（例えば真空チャンバ内で）下、活性層用ウェーハ10のシリコン薄膜10cの表面と支持基板用ウェーハ20の表面（凹部形成面）とを重ね合わせることににより、これらを貼り合わせる。

そして、この貼り合わせウェーハ30は、熱酸化炉に挿入されて所定の熱処理が施される。すなわち、酸素ガス雰囲気、500℃、1時間の条件で、注入された水素イオンによる水素バブルを形成する。続いて、1100℃、2時間の貼り合わせ熱処理を行う。この結果、貼り合わせ強度が高められる。この熱処理によ

り、貼り合わせウェーハ 30 においては水素バルブ形成領域から表面側の活性層用ウェーハ 10 の部分が、剥離される。

このようにして貼り合わせ面にシリコン酸化膜（埋め込み酸化膜）30a が介在された貼り合わせウェーハ 30 が形成される。そして、この場合、シリコン酸化膜 30a の一部に空洞 a, b を含むこととなる。

剥離後、シリコンゲルマニウム薄膜 10b をエッチストップ法を用いたエッチングにより除去し、シリコン薄膜 10c を露呈させる。ここでは、シリコンゲルマニウムに対するエッチングレートがシリコンに対するそれより大きいエッチャントが使用される。また、このエッチング面は化学的機械的研磨により鏡面化される。その結果、所定厚さのシリコン薄膜 10c からなる SOI 層 10A を有する貼り合わせ SOI 基板が作製される。

そして、この SOI 層 10A の各空洞の直上部分に所定の素子が形成されることとなる。

【0034】

このように、活性層用ウェーハ 10 の表面にシリコンゲルマニウム薄膜 10b とシリコン薄膜 10c とを、順次、エピタキシャル成長させ、最終的にシリコン薄膜 10c を活性層 10A とする貼り合わせ SOI 基板の製造方法を採用したので、剥離面はシリコンゲルマニウム膜内もしくはシリコンゲルマニウム直下のシリコン基板であり、その後エッチングにより不要層を除去しているので、最終的な SOI 層表面のラフネスは低減できる。

【0035】

また、図 7～図 9 には、この発明の第 3 の実施例を示している。まず、CZ 法により引き上げられた単結晶シリコンインゴットを、スライス、面取り、ラッピング、エッチング、研磨することで、厚さ $725\mu\text{m}$ 、直径 200mm 、初期酸素濃度 $14.0 \times 10^{17} \text{ atoms/cc}$ の、表面が鏡面に仕上げられた活性層用ウェーハ 10 を用意する（図 7）。次に、この活性層用ウェーハ 10 の内部に、中電流イオン注入装置を使用して、 100keV の加速電圧により、そのウェーハ表面側から注入深さが約 $2\mu\text{m}$ となるように水素イオンを $5.0 \times 10^{16} \text{ atoms/cm}^2$ で注入する。これにより、活性層用ウェーハ 10 の表層の所定深

さ位置に水素イオン注入層 10 a が平面的に離間・延在して形成される。

【0036】

一方では、この活性層用ウェーハ 10 と同じ製法により、同じ厚さ、口径の鏡面仕上げされた支持基板用ウェーハ 20 を用意する（図 8）。次いで、この支持基板用ウェーハ 20 には、スピコート法により、その表面の全体にレジスト膜を $1\mu\text{m}$ だけ塗布する。その後、フォトリソグラフィ技術により、このレジスト膜の所定の部分に、開口面積 1mm^2 のパターン孔を所定数だけ形成する。そして、これらのパターン孔を介して、支持基板用ウェーハ 20 の表面の一部に、開口面積 $1\text{mm}^2 \times$ 深さ $0.5\mu\text{m}$ の複数の凹部 20 a … と、開口面積 $1\text{mm}^2 \times$ 深さ $1.0\mu\text{m}$ の複数の凹部 20 b … とをイオンエッチングにより形成する。

【0037】

その後、この支持基板用ウェーハ 20 を熱酸化炉に挿入し、炉内に所定量の酸素ガスを流し込みながら 900°C で熱酸化処理する。これにより、凹部 20 a, 20 b の内壁全域を含む支持基板用ウェーハ 20 の露出面の全体に、厚さ $0.4\mu\text{m}$ の絶縁性のシリコン酸化膜 20 c が形成される。

【0038】

それから、活性層用ウェーハ 10 の水素イオン注入層 10 a 側の面と、支持基板用ウェーハ 20 の凹部 20 a, 20 b の形成側の面とをそれぞれ貼り合わせ面として、室温下、真空装置内で、活性層用ウェーハ 10 と支持基板用ウェーハ 20 とを重ね合わせ、貼り合わせウェーハ 30 を形成する（図 9）。このとき、真空装置内は 10Torr 以下である。真空装置内で貼り合わせることにより、支持基板用ウェーハ 10 の鏡面仕上げされた表面と、支持基板用ウェーハ 20 の凹部 20 a, 20 b 側の鏡面とを、貼り合わせ不良部分を発生させることなく、貼り合わせることができる。

【0039】

貼り合わせ後には、貼り合わせ界面の一部分（特定位置）に、開口面積 $1\text{mm}^2 \times$ 深さ $0.5\mu\text{m}$ の所定個数の空洞 a … と、開口面積 $1\text{mm}^2 \times$ 深さ $1.0\mu\text{m}$ の所定個数の空洞 b … とがそれぞれ形成される。このとき、活性層用ウェーハ 10 と支持基板用ウェーハ 20 との間に介在されたシリコン酸化膜 20 c の部分が

埋め込みシリコン酸化膜 30 a となる。この埋め込みシリコン酸化膜 30 a の厚さは、 $0.4\ \mu\text{m}$ である。

このように、この実施例では貼り合わせ法を採用して空洞 a, b を有する貼り合わせ SOI 基板を製造するように構成したので、従来のシリコン原子のマイグレーションを利用した場合に比べて、高い寸法精度の空洞 a, b を形成することができる。

【0040】

その後、この貼り合わせウェーハ 30 を貼り合わせ熱処理用の熱酸化炉に挿入し、酸素ガスの雰囲気下で、 500°C 、1 時間のバブル形成用の熱処理を行う。これにより、活性層用ウェーハ 10 に注入された水素イオンが反応し、多数の水素バブルが密集した領域が形成される。

引き続き、 1100°C 、2 時間で貼り合わせ熱処理を行う。これにより、活性層用ウェーハ 10 と支持基板用ウェーハ 20 との貼り合わせ強度が増強される。この熱処理時、水素バブル形成領域から活性層用ウェーハ 10 の不要な部分が剥離して、活性層用ウェーハ 10 が減厚される。その結果、支持基板用ウェーハ 20 上に、空洞 a, b および埋め込み酸化膜 30 a から構成される絶縁層を介して、所定厚さの活性層 10 A が形成される。その後、熱処理により活性層 10 A および支持基板用ウェーハ 20 の露出面に形成されたシリコン酸化膜を、HF 洗浄して除去する。

【0041】

それから、この活性層 10 A の剥離面を平滑化するため、CMP (Chemical Mechanical Polishing) 処理を行う。これにより、活性層 10 A の剥離面が鏡面仕上げされる。また、この CMP に代えて、活性層 10 A の剥離面を水素ペーク処理してもよい。こうして、貼り合わせ SOI 基板が作製される。

【0042】

【発明の効果】

請求項 1 ～ 請求項 4 に記載の貼り合わせ SOI 基板および請求項 5 ～ 請求項 11 の貼り合わせ SOI 基板の製造方法によれば、活性層用ウェーハの表面および

または支持基板用ウェーハの表面に凹部を形成し、その後、この凹部を形成した表面を貼り合わせ面として活性層用ウェーハと支持基板用ウェーハとを貼り合わせるので、寸法精度が高い空洞からなる絶縁層を基板内に形成することができる。

また、請求項 3, 4 に記載の貼り合わせ S O I 基板によれば、厚さの異なる S O I 層を単一基板内に複数個形成するため、同一基板、同一チップ上に異なる素子構造を混載することができる。例えば M O S 領域と、バイポーラデバイスの領域とを混載することができる。

請求項 12 ~ 15 に記載の発明によれば、異なる構造の素子を混載することができる。この場合、その素子の機能を効果的に発揮することができる。また、その素子の各部分について最適な機能を発揮可能とすることができる。さらに、例えば M O S 型素子およびバイポーラ型素子のそれぞれの機能を十分に発揮できるように構成することができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 の実施例に係る貼り合わせ S O I 基板の製造方法の活性層用ウェーハの処理工程を示すフローシートである。

【図 2】

この発明の第 1 の実施例に係る貼り合わせ S O I 基板の製造方法の貼り合わせウェーハの作製工程を示すフローシートである。

【図 3】

この発明の第 1 の実施例に係る貼り合わせ S O I 基板に形成した半導体装置を示す断面図である。

【図 4】

この発明の第 2 の実施例に係る貼り合わせ S O I 基板の製造方法における活性層用ウェーハの処理工程を示すフローシートである。

【図 5】

この発明の第 2 の実施例に係る貼り合わせ S O I 基板の製造方法における支持基板用ウェーハの準備工程を示すフローシートである。

【図 6】

この発明の第 2 の実施例に係る貼り合わせ S O I 基板の製造方法における貼り合わせウェーハの処理工程を示すフローシートである。

【図 7】

この発明の第 3 の実施例に係る貼り合わせ S O I 基板の製造方法における活性層用ウェーハの処理工程を示すフローシートである。

【図 8】

この発明の第 3 の実施例に係る貼り合わせ S O I 基板の製造方法における支持基板用ウェーハの準備工程を示すフローシートである。

【図 9】

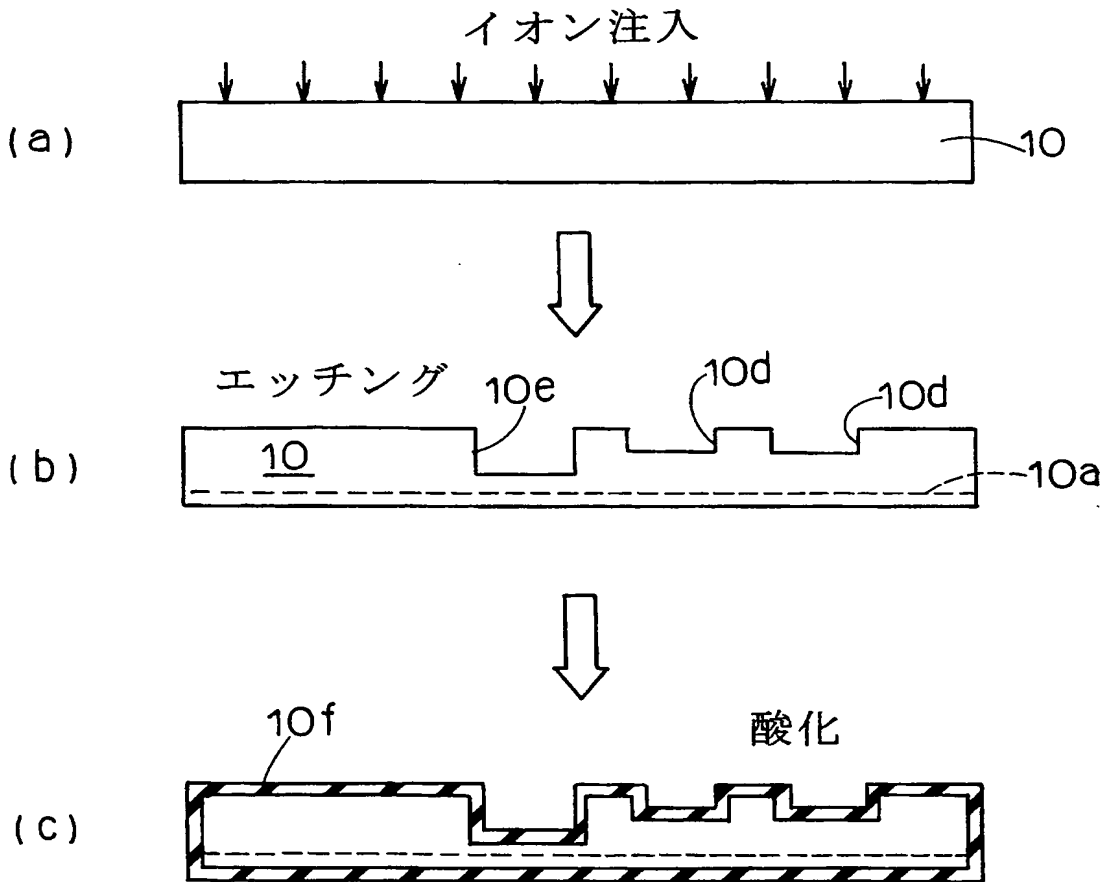
この発明の第 3 の実施例に係る貼り合わせ S O I 基板の製造方法における貼り合わせウェーハの処理工程を示すフローシートである。

【符号の説明】

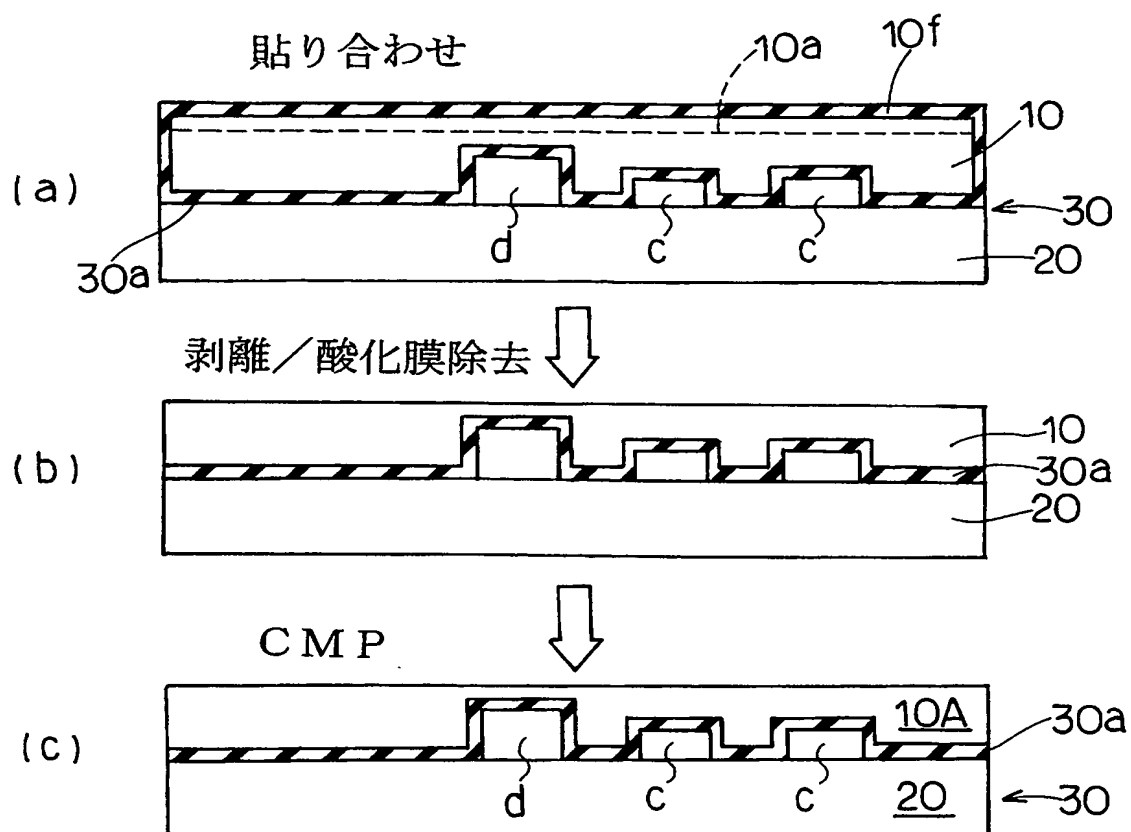
10A SOI 層、
10d, 10e 凹部、
10f, 20c シリコン酸化膜（絶縁層）、
20 支持基板用ウェーハ、
20a, 20b 凹部、
30a 埋め込み酸化膜、
a, b, c, d 空間（絶縁層）。

【書類名】 図面

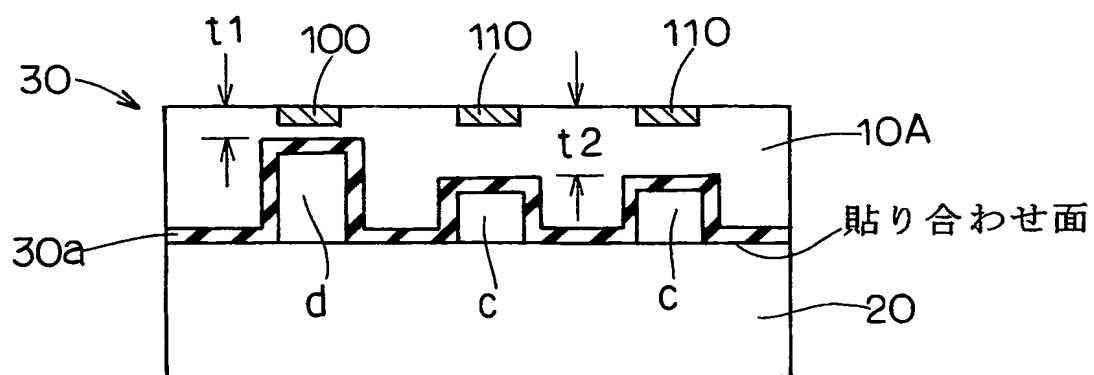
【図 1】



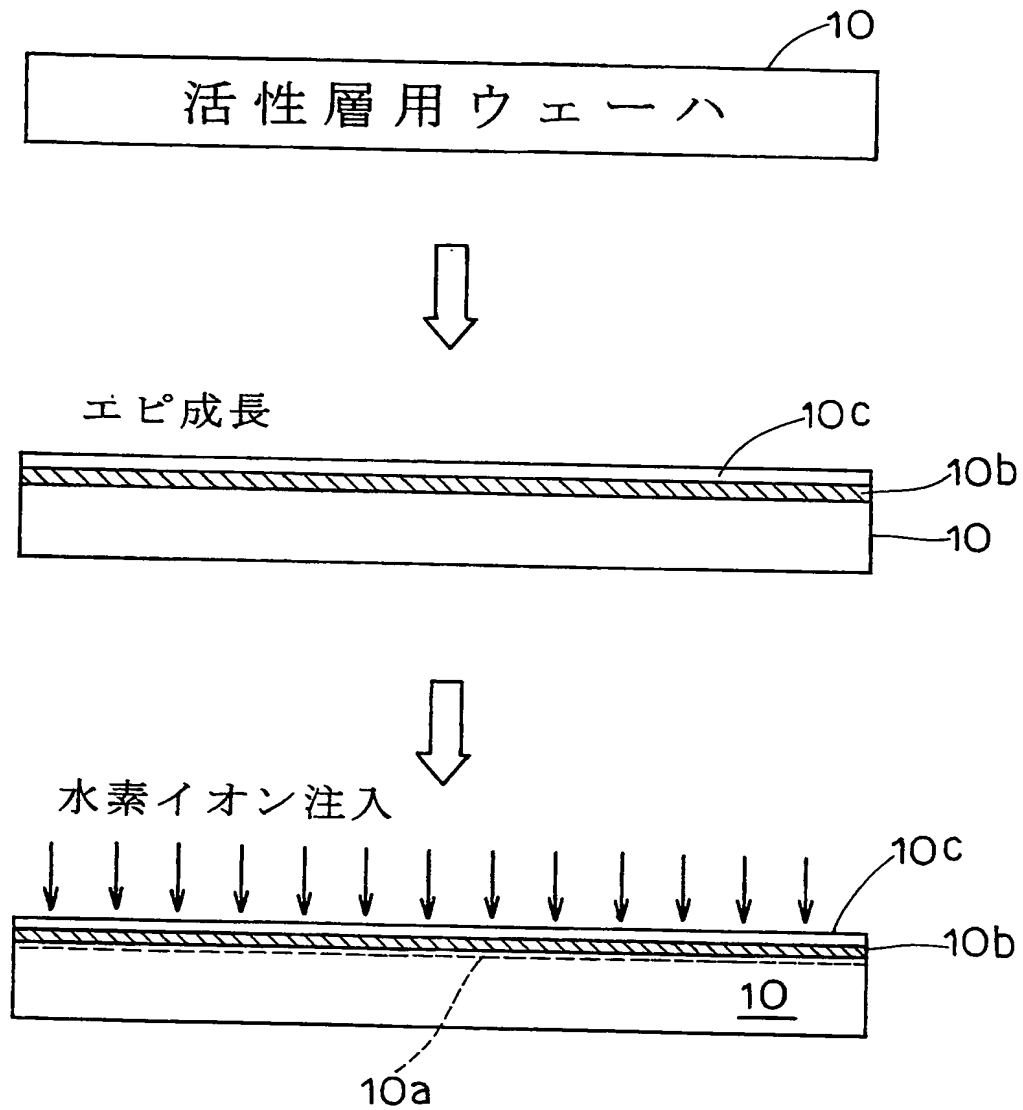
【図 2】



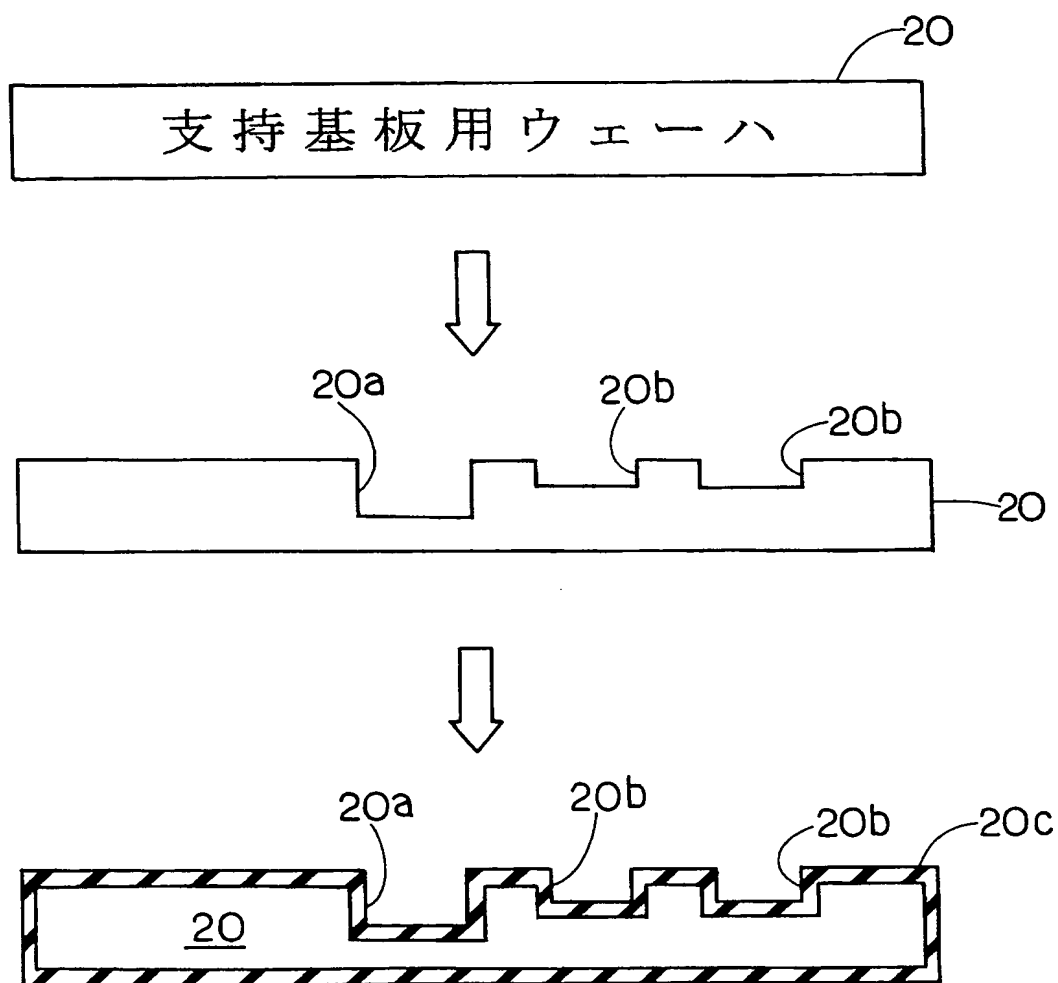
【図 3】



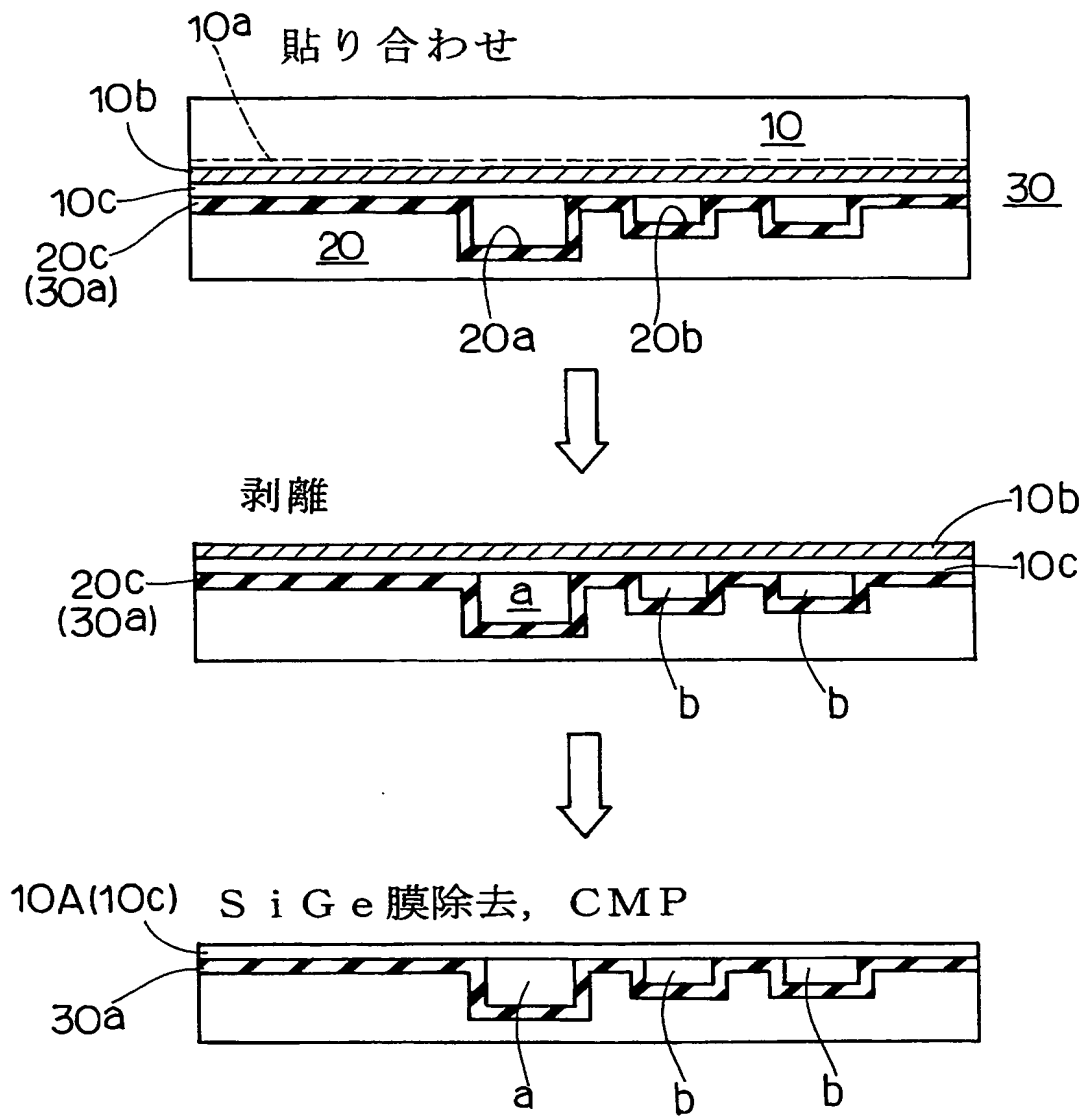
【図 4】



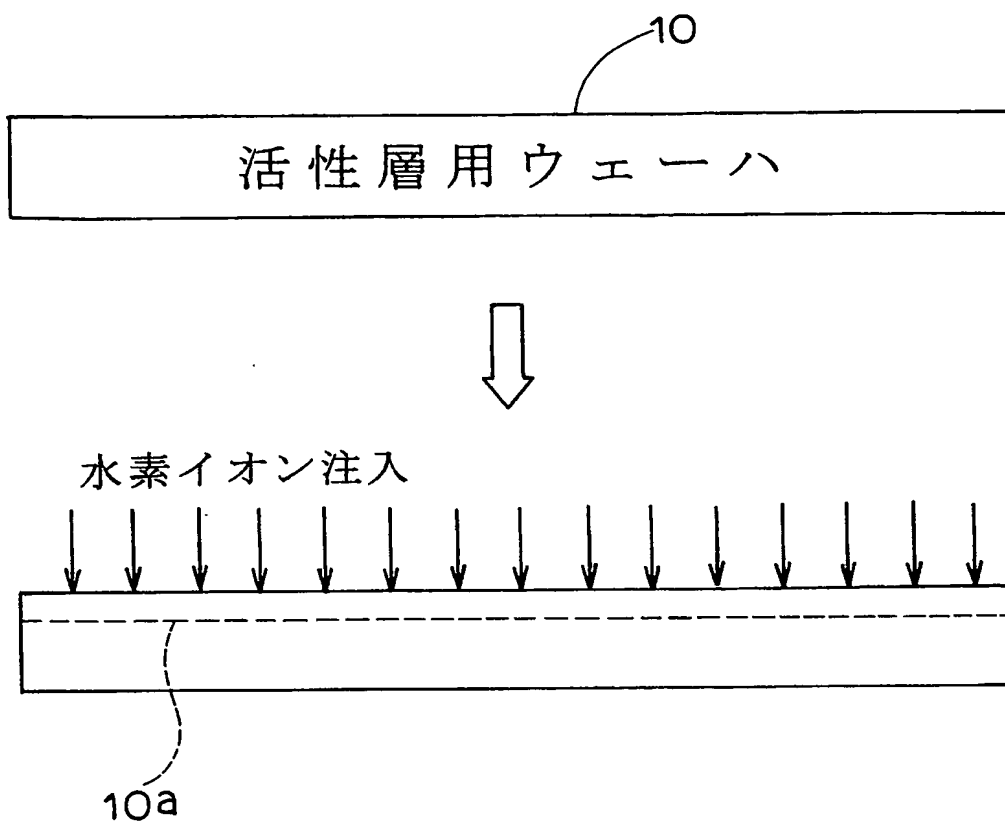
【図 5】



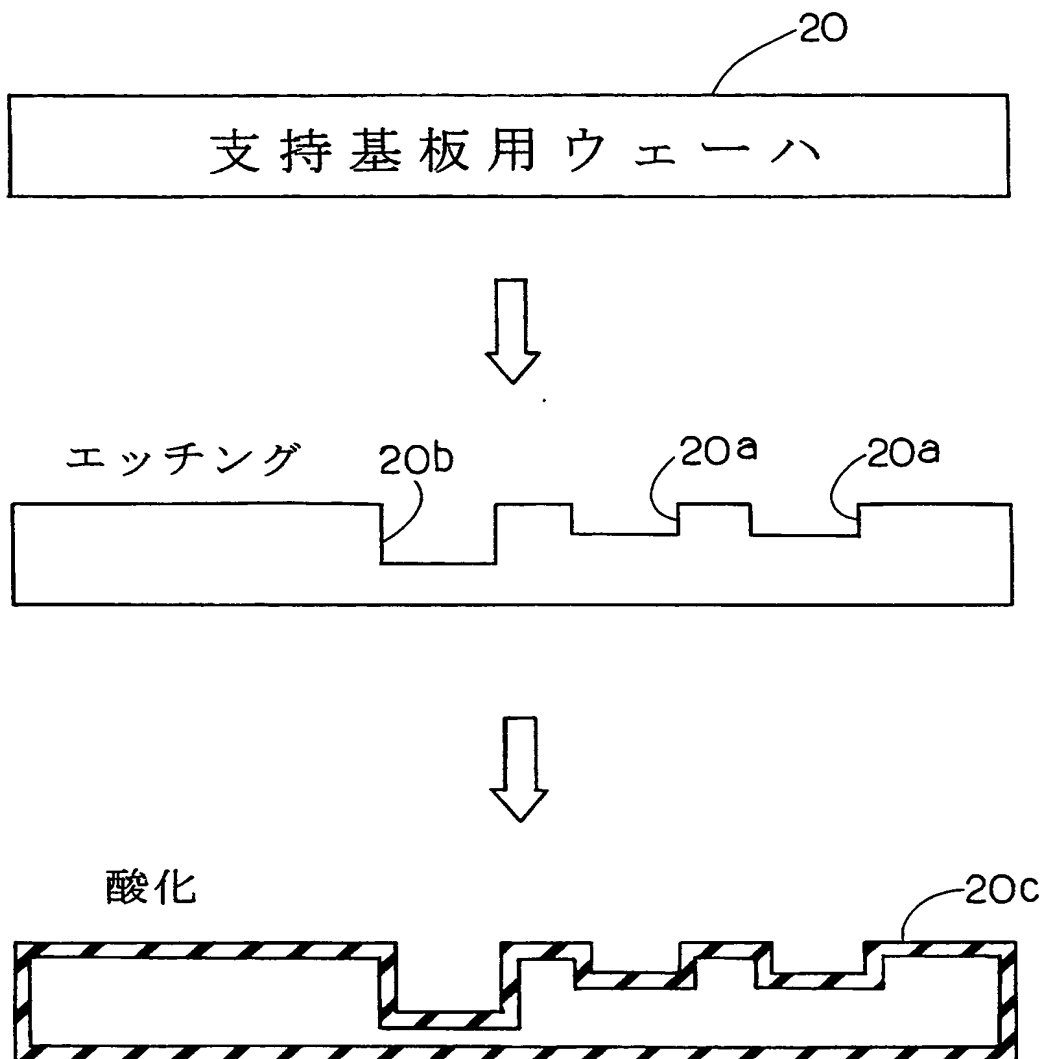
【図 6】



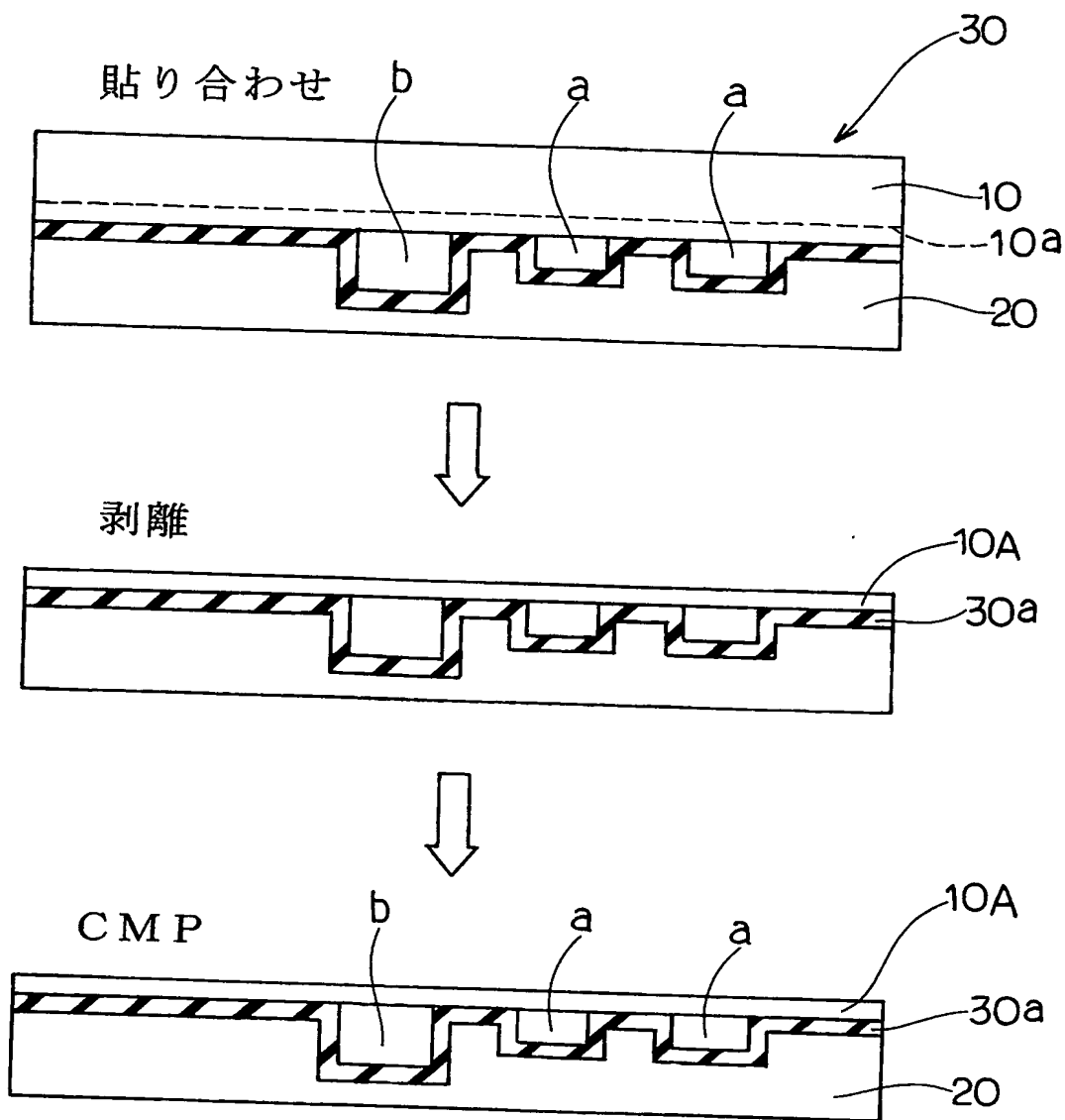
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 絶縁層に空洞を含むことで、単一のSOI基板にて絶縁層厚さの異なるSOI層を有する貼り合わせSOI基板およびその製造方法を提供する。この基板を使用した半導体装置を提供する。

【解決手段】 支持基板用ウェーハ20の表面に凹部20a, 20bを形成し、その後、この凹部20a, 20bを形成した表面を貼り合わせ面として活性層用ウェーハ10と支持基板用ウェーハ20とを真空下貼り合わせる。これにより、活性層用ウェーハ10と支持基板用ウェーハ20との間に、絶縁層としての空洞a, bを高い寸法精度で形成することができる。この空洞の直上のSOI層にCMOSロジックなどを配設する。

【選択図】 図1

認定・付加情報

特許出願の番号

特願 2002-307478

受付番号

50201590438

書類名

特許願

担当官

第六担当上席

0095

作成日

平成14年10月23日

<認定情報・付加情報>

【提出日】

平成14年10月22日

次頁無

待願 2002-307478

出 願 人 履 歴 情 報

識別番号

[302006854]

1. 変更年月日
[変更理由]
住 所
氏 名

2002年 1月31日
新規登録
東京都港区芝浦一丁目2番1号
三菱住友シリコン株式会社